

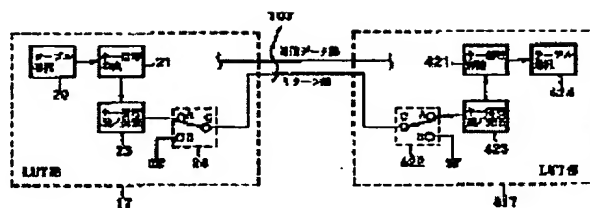
PICTURE PROCESSING SYSTEM

Patent number: JP8018724
Publication date: 1996-01-19
Inventor: ITAGAKI HIROSHI
Applicant: CANON INC
Classification:
- International: H04N1/00; G06T1/00
- european:
Application number: JP19940151956 19940704
Priority number(s):

Abstract of JP8018724

PURPOSE: To obtain a picture processing system capable of preventing the generation of illegal connection by deteriorating an output picture at the time of connecting an illegal device with respect to a picture processing system mutually connecting a picture input device, a picture processor and a picture output device.

CONSTITUTION: In the picture input device, a key signal for identifying a data conversion table selected by a table selecting part 20 is generated by a key signal generating part 21 and outputted through a key signal transmitting/receiving part 23 and a switch 24. The key signal, is inputted to the picture processor through a return line, inputted to a key signal decoding part 421 through a switch 422 and a key signal transmitting/receiving part 423 and decoded by the decoding part 421, so that a data reverse conversion table is selected by a table selecting part 424.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-18724

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.⁸

H 0 4 N 1/00

G 0 6 T 1/00

識別記号

1 0 7 Z

庁内整理番号

F I

技術表示箇所

G 0 6 F 15/ 66

3 3 0 P

審査請求 未請求 請求項の数17 O L (全 19 頁)

(21)出願番号

特願平6-151956

(22)出願日

平成6年(1994)7月4日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 板垣 浩

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

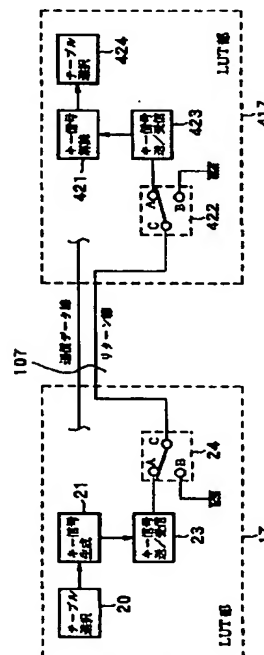
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像処理システム

(57)【要約】

【目的】 画像入力装置と画像処理装置と画像出力装置とが接続された画像処理システムにおいて、不正装置が接続された場合に出力画像を劣化させることにより、不正接続を防止できるような画像処理システムを提供することを目的とする。

【構成】 画像入力装置においてテーブル選択部20で選択されたデータ変換テーブルを識別するキー信号をキー信号生成部21で生成し、キー信号送/受信部23及びスイッチ24を介して出力する。該キー信号はリターン線を介して画像処理装置へ入力され、スイッチ422、キー信号送/受信部423を介してキー信号解説部421入力され、キー信号を解説することにより、テーブル選択部424においてデータ逆変換テーブルが選択される。



【特許請求の範囲】

【請求項1】 画像入力装置と画像処理装置と画像出力装置とが接続された画像処理システムにおいて、前記画像入力装置及び前記画像処理装置はそれぞれ、画像データに対して所定の変換方法で変換を行うデータ変換手段と、

前記データ変換手段により変換された画像データを送信する画像送信手段と、

前記所定の変換方法を示す情報を送信する変換方法送信手段とを有し、

前記画像処理装置及び前記画像出力装置はそれぞれ、画像データを受信する画像受信手段と、

前記所定の変換方法を示す情報を受信する変換方法受信手段と、

前記受信手段により受信した画像データに対して前記変換方法受信手段により受信した情報で示される変換方法と逆の変換を行うデータ逆変換手段とを有することを特徴とする画像処理システム。

【請求項2】 前記画像入力装置及び前記画像処理装置はそれぞれ、

前記データ変換手段による所定の変換方法を複数保持する変換方法保持手段を更に有し、

前記変換方法送信手段は、

前記変換方法保持手段に保持された複数の変換方法のうちの1つを選択する変換方法選択手段と、

前記変換方法選択手段により選択された変換方法を示す第1のキー信号を作成するキー生成手段と、

前記第1のキー信号を送信する第1のキー送信手段と、

前記第1のキー信号と所定基準レベル信号とを切り替える第1の切替え手段とを含み、

前記画像処理装置及び前記画像出力装置はそれぞれ、前記データ逆変換手段による逆変換方法を複数保持する逆変換方法保持手段を更に有し、

前記変換方法受信手段は、

前記第1のキー信号を受信する第1のキー受信手段と、

前記第1のキー信号に基づいて前記逆変換方法保持手段に保持された複数の逆変換方法のうちの1つを選択する逆変換方法選択手段と、

前記第1のキー信号と所定基準レベル信号とを切り替える第2の切替え手段とを含むことを特徴とする請求項1記載の画像処理システム。

【請求項3】 前記変換方法保持手段はデータ変換テーブルを保持していることを特徴とする請求項2記載の画像処理システム。

【請求項4】 前記データ変換テーブルはルックアップテーブルであることを特徴とする請求項3記載の画像処理システム。

【請求項5】 前記逆変換方法保持手段はデータ逆変換テーブルを保持していることを特徴とする請求項2記載の画像処理システム。

【請求項6】 前記データ逆変換テーブルはルックアップテーブルであることを特徴とする請求項5記載の画像処理システム。

【請求項7】 前記変換方法選択手段は画像データの所定領域毎に異なる変換方法を選択することを特徴とする請求項2記載の画像処理システム。

【請求項8】 前記所定領域は前記画像入力装置の主走査方向1走査分の領域であることを特徴とする請求項7記載の画像処理システム。

10 【請求項9】 前記第1のキー送信手段と前記第1のキー受信手段とは、前記画像送信手段と前記画像受信手段とで使用する通信データ線と対をなすリターン線を使用することを特徴とする請求項2記載の画像処理システム。

【請求項10】 前記第1の切替え手段と前記第2の切替え手段とは通常は所定基準レベル信号に、前記データ変換テーブル選択時には前記第1のキー信号に切り換えることを特徴とする請求項2記載の画像処理システム。

20 【請求項11】 前記所定基準レベル信号はグラントレベルであることを特徴とする請求項2記載の画像処理システム。

【請求項12】 前記キー生成手段は前記選択方法選択手段により選択されたデータ変換方法の格納されたアドレスに基づいて前記第1のキー信号を生成することを特徴とする請求項2記載の画像処理システム。

【請求項13】 前記キー生成手段は前記選択方法選択手段により選択されたデータ変換方法の格納されているアドレスをキー信号とすることを特徴とする請求項2記載の画像処理システム。

30 【請求項14】 前記キー生成手段は前記第1のキー信号と第2のキー信号とを同時に生成し、

前記変換方法送信手段は前記第2のキー信号を送信する第2のキー送信手段とを更に含み、

前記変換方法受信手段は前記第2のキー信号を受信する第2のキー受信手段とを更に含み、

前記逆変換方法選択手段は前記第1のキー信号と前記第2のキー信号との両方に基づいて複数のデータ逆変換方法のうちの1つを選択することを特徴とする請求項2記載の画像処理システム。

40 【請求項15】 前記キー生成手段は前記第1のキー信号を分割することにより前記第2のキー信号を生成することを特徴とする請求項14記載の画像処理システム。

【請求項16】 前記逆変換方法選択手段は前記第1のキー信号のみに基づいて複数のデータ逆変換方法のうちの1つを選択することを特徴とする請求項14記載の画像処理システム。

【請求項17】 前記第2のキー送信手段と前記第2のキー受信手段とは前記画像送信手段と前記画像受信手段とで使用する通信データ線を使用することを特徴とする

50 請求項14記載の画像処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像処理システムに関し、特に、画像入力装置と画像処理装置と画像出力装置とが接続された画像処理システムに関する。

【0002】

【従来の技術】従来の画像処理システムは、例えば複写機に代表されるように装置単体で画像データの入力及び出力がなされる装置が一般的であった。しかしながら、近年、画像処理装置のネットワーク化が進み、例えば画像データの入力装置であるスキャナと、出力装置であるプリンタというように、必要な機能を有する装置を組み合わせるシステムを構成する傾向が強くなってきている。特に、カラー複写機においては、スキャナとプリンタのインタフェース部を備え、外部のコンピュータに画像の入出力を行うことにより、スキャナとプリンタの組み合わせのみでは実現不可能であった様々な画像処理を行う機能を備えるようになった。即ち、コンピュータを外部の画像処理装置として使用することが可能となった。このようなシステムにおいては、スキャナ及びプリンタは外部のホストコンピュータからも制御可能であり、操作性にも優れている。

【0003】

【発明が解決しようとする課題】しかしながら、上述したような従来の画像処理システムにおいては、例えばスキャナとプリンタ間、スキャナと画像処理装置（コンピュータ）間、画像処理装置（コンピュータ）とプリンタ間のビデオインターフェイスには特に規格はなく、各装置独自のインタフェース仕様となっている。

【0004】一方、ビデオインターフェイスを構成している通信線および画像データ線等においては、実際に通信されているデータをモニタすることができ、しかも各プリンタに使用可能な各種コマンドが公開されている。これらを考慮すると、ビデオインターフェイスの信号形態を第3者が認識することはある程度可能である。

【0005】従って、該ビデオインターフェイス仕様に合致するようなインタフェースを有した外部装置を画像処理装置に接続する等、本来画像処理システムにおいて接続されることを想定されていない装置との接続（以下、不正接続と称する）が実際に行われる可能性がある。そのような不正接続下では、画像処理システムの本来の性能が十分に発揮できないばかりでなく、予測不可能な事故等の発生を招いてしまう場合も考えられる。

【0006】従って本発明においては、不正接続時において出力画像を劣化させることにより、不正接続を防止できるような画像処理システムを提供することを目的とする。

【0007】

【課題を解決するための手段】上述した目的を達成するために、本発明は以下の構成を備える。

【0008】即ち、画像入力装置と画像処理装置と画像出力装置とが接続された画像処理システムにおいて、前記画像入力装置及び前記画像処理装置はそれぞれ、画像データに対して所定の変換方法で変換を行うデータ変換手段と、前記データ変換手段により変換された画像データを送信する画像送信手段と、前記所定の変換方法を示す情報を送信する変換方法送信手段とを有し、前記画像処理装置及び前記画像出力装置はそれぞれ、画像データを受信する画像受信手段と、前記所定の変換方法を示す情報を受信する変換方法受信手段と、前記受信手段により受信した画像データに対して前記変換方法受信手段により受信した情報で示される前記所定の変換方法と逆の変換を行うデータ逆変換手段とを有することを特徴とする。

【0009】更に、前記画像入力装置及び前記画像処理装置はそれぞれ、前記データ変換手段による所定の変換方法を複数保持する変換方法保持手段を有し、前記変換方法送信手段は、前記変換方法保持手段に保持された複数の変換方法のうちの1つを選択する変換方法選択手段と、前記変換方法選択手段により選択された変換方法を示す第1のキー信号を作成するキー生成手段と、前記第1のキー信号を送信する第1のキー送信手段と、前記第1のキー信号と所定基準レベル信号とを切り替える第1の切替え手段とを含み、前記画像処理装置及び前記画像出力装置はそれぞれ、前記データ逆変換手段による逆変換方法を複数保持する逆変換方法保持手段を有し、前記変換方法受信手段は、前記第1のキー信号を受信する第1のキー受信手段と、前記第1のキー信号に基づいて前記逆変換方法保持手段に保持された複数の逆変換方法のうちの1つを選択する逆変換方法選択手段と、前記第1のキー信号と所定基準レベル信号とを切り替える第2の切替え手段とを含むことを特徴とする。

【0010】例えば、前記変換方法保持手段はデータ変換テーブルを保持していることを特徴とする。

【0011】例えば、前記データ変換テーブルはルックアップテーブルであることを特徴とする。

【0012】例えば、前記逆変換方法保持手段はデータ逆変換テーブルを保持していることを特徴とする。

【0013】例えば、前記データ逆変換テーブルはルックアップテーブルであることを特徴とする。

【0014】例えば、前記変換方法選択手段は画像データの所定領域毎に異なる変換方法を選択することを特徴とする。

【0015】例えば、前記所定領域は前記画像入力装置の主走査方向1走査分の領域であることを特徴とする。

【0016】例えば、前記第1のキー送信手段と前記第1のキー受信手段とは、前記画像送信手段と前記画像受信手段とで使用する通信データ線と対をなすリターン線を使用することを特徴とする。

【0017】例えば、前記第1の切替え手段と前記第2

の切替手段とは通常は所定基準レベル信号に、前記データ変換テーブル選択時には第1のキー信号に切り換えることを特徴とする。

【0018】例えば、前記所定基準レベル信号はグラウンドレベルであることを特徴とする。

【0019】例えば、前記キー生成手段は前記選択方法選択手段により選択されたデータ変換方法の格納されたアドレスに基づいて前記第1のキー信号を生成することを特徴とする。

【0020】例えば、前記キー生成手段は前記選択方法選択手段により選択されたデータ変換方法の格納されているアドレスをキー信号とすることを特徴とする。

【0021】更に、前記キー生成手段は第1のキー信号と第2のキー信号とを同時に生成し、前記変換方法送信手段は前記第2のキー信号を送信する第2のキー送信手段とを含み、前記変換方法受信手段は前記第2のキー信号を受信する第2のキー受信手段とを含み、前記逆変換方法選択手段は前記第1のキー信号と前記第2のキー信号との両方に基づいて複数のデータ逆変換方法のうちの1つを選択することを特徴とする。

【0022】例えば、前記キー生成手段は前記第1のキー信号を分割することにより前記第2のキー信号を生成することを特徴とする。

【0023】例えば、前記逆変換方法選択手段は前記第1のキー信号のみに基づいて複数のデータ逆変換方法のうちの1つを選択することを特徴とする。

【0024】例えば、前記第2のキー送信手段と前記第2のキー受信手段とは前記画像送信手段と前記画像受信手段とで使用する通信データ線を使用することを特徴とする。

【0025】

【作用】以上の構成により、画像入力装置と画像処理装置との間において、画像入力装置から選択されたデータ変換テーブルにより変換された画像データを通信データ線で、データ変換テーブル種別を表す第1のキー信号を通信データ線と対をなすリターン線を使用して画像処理装置に送信することにより、画像処理装置では第1のキー信号に基づいて変換前の画像データを復元することができる。また、画像入力装置と画像出力装置間、また、画像処理装置と画像出力装置間においても同様である。

【0026】従って、画像入力装置、画像処理装置、画像出力装置間のどれかについて不正接続が行われた場合には劣化した画像しか得られないため、不正接続を防止することができるという特有の作用効果が得られる。

【0027】

【実施例】以下、本発明に係る一実施例について図面を参照して詳細に説明する。

【0028】＜第1実施例＞本実施例においては、画像入力装置であるスキャナ部と、画像出力装置であるブリ

ンタ部とをスキャナプリンタとして1台の装置とし、画像処理装置としてコンピュータに接続され、画像メモリを備えるメモリユニットを例として説明を行う。

【0029】図1は、本発明の一実施例におけるシステムの概略構成図を示す。図1において、101はカラー・スキャナ及びインクジェット方式のプリンタより構成されるスキャナプリンタであり、圧板105の下に原稿を置いてコピースタートキー104を押下することにより、スキャナプリンタ101単独でカラー複写画像を得ることができる。また、スキャナプリンタ101で読み取られた画像は、同時にインタフェースケーブル107を介してデジタルデータとして、外部のメモリユニット201に送ることもできる。メモリユニット201に送られた画像データは、例えばGP-1B等の汎用I/F108を介してホストコンピュータ301に送られ、さまざまな画像編集処理を可能としている。ホストコンピュータ301において処理された画像データは、メモリユニット201を介してスキャナプリンタ101に送られ、編集画像を出力することができる。

【0030】次に、図2にスキャナプリンタ101の詳細構成を示し、説明する。

【0031】図2において、後述するスイッチユニット7を境に左側がスキャナ部、右側がプリンタ部の構成を示す。また、各構成はCPU19により制御されている。

【0032】スキャナ部において1はCCDラインセンサ（以下、CCDと称する）であり、3はその拡大図である。3で示されるように、CCD1は走査方向にR、G、B、R、G、B、…と各色のセンサが並んでおり、R、G、Bを一組として、1画素としている。

【0033】CCD1の走査の様子を図4に示す。図4に示すように、CCD1は原稿に対して横方向のCCD主走査と、縦方向のCCD副走査を順次行なうことにより、原稿全体の走査を行う。CCD主走査はVE信号に同期して行われ、CCD副走査はBVE信号に同期して第1走査、第2走査…として、順次行っていく。CCD1は、例えばバルスモータ等により駆動され、CPU19の制御によって、任意の領域を走査できるようになっている。

【0034】本実施例において、CCD1は読み取ったデータをプリンタ部に送る場合と、メモリユニット201に送る場合とではその走査方法が異なる。以下、その違いを図5を参照して説明する。

【0035】図5の(a)は、プリンタ部に画像データを転送する場合の走査方法を説明するための図である。まず第1走査において、CCD1の読み取り幅はCCD1の全画素幅であり、画素1～132の132画素を読み込んでいる。しかし、プリンタ出力幅として画素2～129の128画素を出力し、他の画素は捨てている。これは、プリンタ部がデータを出力する際に、誤差拡散

法等の出力データの周辺のデータを用いて2値化する2値化手法を採用しているためである。そして第2走査において、図に示されるように4画素分の領域を再び読み込み、2値化の際のつなぎ処理、および出力データとして用いている。このようにプリンタ部へ出力する場合には、CCD1は各走査毎に数画素の重ね読みを行なっている。

【0036】一方、図5の(b)は、メモリユニット201に読み取りデータを転送する場合の走査方法を説明するための図である。図5の(b)においては、第1走査と第2走査とで重なり部分をなくし、CCD1の読み取り幅132画素いっぱい、読み出しを行っている。これは、読み取った画像データをメモリユニット201へ転送するのみで、2値化処理を行う必要がないためである。従って、メモリユニット201へ画像データを転送する場合は、プリンタ部へ出力する場合と比較して走査回数を減らすことができるため、走査の高速化が望める。

【0037】以上説明したように、本実施例においてはプリンタ部へ出力する場合と、メモリユニット201へ転送する場合とで、CCD1の走査モードを変えている。

【0038】図2において、CCD1により読み取られたアナログの画像信号はA/D変換器2によってデジタル信号に変換され、以下デジタル信号として処理される。

【0039】図6に、以上説明したスキナ部における原稿読み取り時のタイミングチャートを示す。図6の(a)において、BVEのパルスは原稿に対してCCD主走査の開始点を示し、VEのパルスはCCD主走査のタイミングを決定している。CCD1は主走査方向に移動しながら、各VE毎に画像の読み取りを行なう。図6の(b)は、図6の(a)に示される1つのVEにおける画像データの読み取りの様子を拡大したものであり、ビデオクロックVCLKに同期して、各画素はR、G、Bを1画素とする点順次で転送されている。

【0040】画像信号は、次にシェーディング補正部4に入力され、CCD1の特性に合わせて白補正・黒補正が行なわれる。シェーディング補正部4から出力された信号は、黒文字処理部A5に入力される。ここでは原稿における黒文字を検出し、プリント時の色にじみをなくし、黒文字の鮮鋭化を行なうべく処理を行なう。黒文字処理部A5に入力された画像データは、黒文字の検出後、各画素毎に、その画素の処理を決定するための8ビットデータXが付加される。図6の(c)に、黒文字処理後の画像データの様子を示し、データXの詳細情報を図7に示す。図7に示されるように、データXの第0ビットに黒文字処理の有無が付加される。更に、同図に示すように他の画像処理情報についても付加される。

【0041】図2に戻り、黒文字処理部A5においてデ

ータXが付加された画像データは、変倍部6にて所望の大きさに変倍(拡大/縮小)され、LUT部17に入力される。この時、CPU19により発生された乱数により、ROM20内に予め格納されている複数のデータ変換テーブル(LUT)のうちの 하나가選択され、それがLUT部17を構成するRAMに書き込まれる。以上説明した乱数発生、データ変換テーブル選択、LUT部17への書き込みはバンドスキャン(BVE、1回の副走査)毎に行なわれる。そして、LUT部17に設定されたLUTにより、バンド毎に異なるデータ変換が行なわれる。

【0042】LUT部17によりバンド毎にデータ変換された画像データは、スイッチユニット7、インタフェースケーブル107を介してメモリユニット201に転送される。また、スイッチユニット7はメモリユニット201が接続されていない場合、その選択によってLUT部17から出力された画像データを、直接LUT部18に転送することもでき、この場合、スキナプリンタ101単独でカラー複写を行うことになる。尚、スキナプリンタ101で単独複写を行う場合、例えばLUT部17、LUT部18を介さず、変倍部6から出力されたデータをデータXデコード部8に直接入力するようにしてもよい。

【0043】また、スイッチユニット7はメモリユニット201からの画像データを、スキナプリンタ101のLUT部18に出力するように選択することもできる。尚、メモリユニット201内の画像メモリ407は、3バンド分の画像データを格納し得る容量を有している。

【0044】LUT部17、またはメモリユニット201からインタフェースケーブル107を介して出力される画像信号は、スイッチユニット7から出力されてLUT部18に入力される。LUT部18では、LUT部17でバンド毎に選択されたLUTと逆特性のLUTがROM20より選択され、元の画像データが復元される。次に画像データはデータXデコード部8に入力される。データXデコード部8では、各画素データに付加されているデータXの内容をデコードし、それぞれの処理ブロックに対して、上述した図7に示した内容の制御信号を出力する。そして各処理ブロックは、その制御信号に基づいた画像処理を行なう。

【0045】そして画像データは、LOG変換部9、マスキング部10にて濃度変換およびインクの特性に合わせたマスキング演算処理が行なわれた後、エッジ処理部11にて画像の先鋭化が行なわれ、ヘッドシェーディング部12に入力される。ここでは、プリンタヘッド16のバラツキによりインクの吐出量、方向などが各画素間で一定ではないため、それらの補正を信号処理によって行なう。13のγテーブルは、出力濃度を定める変換テーブルであり、操作者が所望の濃度に調整できるように

なっている。2値化部14では、図7に示した制御信号MIXDATA、NEGA、PHOTOに基づいて多値の画像データから2値の画像データに変換を行なう。そして黒文字処理部B15にて制御信号KBに基づいて黒文字処理が行なわれ、インクジェット方式のプリンタヘッド16にて画像の出力が行なわれる。尚、プリンタヘッド16における出力のタイミングも、上述したCCD1と同様に、BVE、VE等の同期信号に従っている。【0046】以下、図3にメモリユニット201の詳細構成を示し、説明する。

【0047】メモリユニット201はCPU414によりその各構成が制御される。ROM420には、上述したスキャナプリンタ101内のROM20と同様、複数のLUTが格納されている。

【0048】スキャナプリンタ101からメモリユニット201にインタフェースケーブル107を介して転送された画像データは、まずLUT部417に入力される。このLUT部417では、スキャナプリンタ101のLUT部17において各バンド毎に選択されたLUTと逆特性のLUTがROM420より選択され、元の画像データが復元される。

【0049】ここで、スキャナプリンタ101とメモリユニット201間における、LUT部17において選択されたLUT種別を表すキー信号の通信について、図8のブロック図を参照して詳細に説明する。

【0050】図8は、スキャナプリンタ101内のLUT部17及びメモリユニット201内のLUT部417の詳細構成を示す図である。両LUT部は不図示のスイッチユニット7及びインタフェースケーブル107を介して接続されている。尚、図8において、画像データは通信データ線により通信が行われているが、その詳細については省略する。

【0051】LUT部17において、まずCPU19により乱数が発生され、ROM20内に予め格納されている複数のLUTのうちの 하나가、テーブル選択部20により選択され、次にキー信号生成部21により、選択されたLUT種別を表すキー信号が生成され、キー信号送／受信部23に供給される。キー信号送／受信部23により送信されるキー信号はスイッチ24のA端子に接続される。スイッチ24のB端子はグランドレベル（GND）に接続されており、スイッチ24は通常B端子側に接続されているが、LUT選択時にはA端子側に接続される。

【0052】スイッチ24より送信されたキー信号は、通信データ線と対をなすリターン線を介してメモリユニット201内のLUT部417に転送され、スイッチ422のC端子に供給される。スイッチ422のA端子はキー信号送／受信部423が接続され、B端子はGNDに接続されており、やはり通常はB端子側、LUT選択時にはA端子側に接続される。キー信号送／受信部42

3にて受信されたキー信号は、キー信号解説部421に入力され、スキャナプリンタ101のテーブル選択部20で選択されたLUT種別を判断し、その判断結果をテーブル選択部424に出力する。テーブル選択部424においては、テーブル選択部20で選択されたLUTと逆特性を持つ逆LUTがROM420より選択される。

【0053】図3に戻り、LUT部417を介して復元された画像データは入力マスキング部401に入力される。メモリユニット201に送られてくる画像データ

は、CCD1の色分解フィルタの特性のままであるため、ここで例えばNTSC規格等の一般の規格に適合させるための演算を行なう。上記演算により、ホストコンピュータ301での色データの扱いを統一することができ、プリンタ出力時における色再現性の規格化も可能となる。尚、入力マスキング部401において、各画素のデータXについては演算を行わずに通過させる。

【0054】入力マスキング処理後の画像データは、スムージング部402および合成部403に入力される。スムージング部402では、モアレによる画像劣化を防止すべくスムージング処理が行なわれる。この時、スムージングに用いるマトリクスは、 2×1 、 2×2 、 3×3 と3段階に選択できるようになっており、CPU414からのデータセットにより、選択可能である。尚、スムージング部402においても、データXについては演算を行わない。尚、合成部403における動作については後述する。

【0055】スムージング部402から出力された画像データはγテーブル部404に入力され、スキャナプリンタ101で入力された画像を、操作者の所望の階調特性に変換する。この際に使用するγテーブルも、上述したスキャナプリンタ101内のγテーブル13と同様、CPU414からセットできるように構成されている。尚、スムージング部402、γテーブル部404共に、ホストコンピュータ301からのコマンドによってCPU414を介して操作者が自由に処理モードを選択することができる。

【0056】γテーブル部404によって補正された画像データは、FIFO405を介して、画像メモリ407のアドレス発生部408によって指定されるアドレスに格納される。

【0057】画像メモリ407、およびアドレス発生部408は、スキャナプリンタ101からの画像同期クロックVCLKのタイミングによって制御を行なうのではなく、メモリユニット201内のOSC部409から得られるクロックIVCLKによって、例えばメモリフレッシュ制御等の各種制御を行なっている。従って、VCLKからIVCLKへのクロック変換を行なうために、画像メモリ407における画像データの入出力時にFIFO405、406を設けている。これにより、例えばスキャナプリンタ101に何らかの異常が発生し、

クロックVCLKが停止した場合でも、画像メモリ407の内容を失うことなく、速やかに復帰を行うことができる。

【0058】ここで、図9に画像メモリ407のアドレス構成を示す。図9において、メモリアドレスはBVE方向にリニアであるとする。画像メモリ407に格納される画像データは、スキャナプリンタ101で用いる画像データの形式と異なるため、スキャナプリンタ101への入出力モード（以下、ビデオモードと称する）の場合、画像メモリ407上のアドレスの演算がより複雑になる。一方、ホストコンピュータ301から1/O415を介し、CPU414の制御で画像メモリ407に例えばDMA転送等により画像データを転送する場合（以下、CPU・DMAモードと称する）、ホストコンピュータ301における画像データ、即ち画像ファイルの形式は、横方向（BVE方向）1ライン毎に線順次となっている場合が多く、従って画像メモリ407上のアドレス演算は容易である。

【0059】以下、画像メモリ407における「スキャナプリンタ101からの画像データ書込み」、「ホストコンピュータ301への画像データ読み出し」、「ホストコンピュータ301からの画像データ書込み」、「スキャナプリンタ101への画像データ読み出し」について、説明する。

【0060】[スキャナプリンタから画像メモリへのデータ書込み] 図10に、スキャナプリンタ101から入力された画像データとアドレス発生部408から出力されるアドレスのタイミングチャートを示す。BVE、VEのタイミング制御により、クロックVCLKに同期して画像データがFIFO405に順次書込まれる。その後、少し時間をおいてアドレス発生部408からFIFO405から画像データがクロックVCLKに同期して順次読み出される。同時に、アドレス発生部408も順次カウントアップ、もしくは演算を行ない、画像メモリ407上でアドレスAとして指定される番地にデータが書込まれる。

【0061】ここで、ホストコンピュータ301のアプリケーションソフトがデータXをサポートしていない場合は、アドレスの演算手段を変更するのみで対応がとれる。この場合、アドレス発生部408から図10のアドレスBに示すようなアドレスを順次出力すれば、画像メモリ407のデータXの格納領域に、他のデータを格納することができる。即ち、図10においてVEの2ライン目以降は、データXの格納されるアドレス（n、n+3、…）に対して、次ラインのRデータを書込む。その結果の画像メモリ407のアドレス構成を図11に示す。図11において、画像メモリ407上にデータXは結果的になくなる（格納されない）ことになる。これにより、ホストコンピュータがデータXをサポートしていない場合でも画像メモリ407を有効に使用することが

でき、本実施例においては4バンド分のデータを格納することができる。

【0062】次に、上述したように画像メモリ407のアドレスを発生するアドレス発生部408の詳細構成を図12に、そのタイミングチャートを図13に示す。

【0063】図13に示すように、スキャナプリンタ101に対して画像読み込みの起動がかかった場合等には、BVEがLレベルの間に、図12に示すセクタ919はCPU414で制御される信号SETにより、予めレジスタ901に設定しておいた読み出しスタートアドレスを選択する。この期間にOSC部409がVE信号に基づいて作成するHS信号がLレベルになると、セクタ902により上記スタートアドレスが選択され、クロックVCLKに従ってカウンタ903にスタートアドレスがロードされる（時刻t1）。この時、フリップ・フロップ904にもスタートアドレスがセットされる。そしてBVEがHレベルとなると同時に画像リクエスト信号REQがLレベルとなる（時刻t2）。

【0064】1ラインのデータ読み出し期間を規定するラインイネーブル信号LEの発生について説明する。HS信号によってリセットされたカウンタ905の出力は、コンパレータ906に入力されてレジスタ907に予めセットしておいたラインイネーブルスタート値と比較され、値が合致した場合に一致パルスをフリップ・フロップ908に出力する（時刻t3）。また、同様にコンパレータ909はレジスタ910に設定してあるラインイネーブル終了値と合致した場合、一致パルスをフリップ・フロップ908に出力する。フリップ・フロップ908はJ-Kフリップ・フロップであり、これら2つの一致パルスの期間、即ちレジスタ907とレジスタ910に設定される値で決まる期間、ラインイネーブル信号LEを出力できる。このラインイネーブル信号LEは、カウンタ911、903およびFIFO405のリードイネーブル信号となり、順次読み出されたデータが指定されたアドレスに格納される。

【0065】クロックVCLKをカウントするカウンタ911と、レジスタ913の設定値をコンパレータ912で比較することによって、コンパレータ912はクロックVCLK4つ毎に、ロード信号LDを発生する。発生したロード信号LDはカウンタ903のロード信号となり、カウンタ903の出力アドレスと予めレジスタ915に設定しておいた値とが加算回路914にて加算された値を、セクタ902を介してカウンタ903にロードする。レジスタ915に設定される値は、図9を例にとると「m」となり（図10のアドレスA参照）、図11を例とすると「n」となる（図10のアドレスB参照）。

【0066】カウントが進み次のHSが入力されると、上述したフリップ・フロップ904に設定されている値とレジスタ916に設定されている値とが加算回路91

7にて加算され、セクタ918、919、902を通じて次のラインの先頭番地としてカウンタ903にロードされる。レジスタ916に設定される値は、上述したようにデータXのサポートの有無に応じて変更する。図9を例にとると「4」（図10のアドレスA参照）であり、図11を例にとると「3」（図10のアドレスB参照）となる。以上説明したように、カウンタ903から出力されるアドレスが、セクタ1201を介して画像メモリ407に与えられ、これによって、読み込まれた画像データが画像メモリ407に格納される。尚、セクタ1201の詳細、また、カウンタ920の詳細については後述する。

【0067】[画像メモリからホストコンピュータへのデータ読み出し] 図3において、画像メモリ407に格納された画像データはCPU414の制御でDMA転送によりI/O415に送られ、インタフェースケーブル108を介してホストコンピュータ301に転送される。この場合の画像メモリ407の読みだしアドレスも、アドレス発生部408で発生される。以下、画像メモリ407からホストコンピュータ301へデータ読み出しを行う際のアドレス発生部408の詳細構成を図14に示し、説明する。尚、図14において、セクタ1201及びカウンタ903は上述した図12と同様である。

【0068】図14において、画像メモリ407は上述したビデオモードとCPU・DMAモードとで、アドレス発生手段が異なる構成となっている。これは、ビデオモードの場合転送レートが速く、CPU・DMAモードと同じアクセス手段をとれないためである。

【0069】図14において、セクタ1201はビデオモードとCPU・DMAモードとの切り換えを行い、操作者の所望するモードに応じてCPU414により選択できる。セクタ1202は、CPU410から直接アクセスできるモード（以下、CPUモードと称する）と、DMA転送を行なうモード（以下、DMAモードと称する）とを選択できる。例えばCPUモードを選択した場合、CPU414から出力されるアドレスとレジスタ1204に設定される値とを加算回路1203にて加算したアドレスが出力される。本実施例では、データXをサポートする場合に画像メモリ407は3バンド分の画像データを格納しており、これはCPU414が直接アドレス指定可能なメモリ空間から逸脱してしまう容量である。このため、本実施例においてはアドレスを加算することにより、CPU414がアクセス可能なメモリ空間を拡張している。

【0070】DMAモードの場合、DMAスタートアドレスを設定するレジスタ1206と、読み出し信号IORDもしくは書き込み信号IOWRをクロックとするフリップ・フロップ1207の出力を加算したデータがアドレスとして出力される。フリップ・フロップ1207

は、加算回路1209の出力信号を信号IORD・IOWRのパルス毎にラッチし、その出力をレジスタ1208の設定値と加算する加算回路1209に返している。これにより、例えばレジスタ1208の設定値が「3」の場合は3の倍数、「4」の場合は4の倍数がフリップ・フロップ1207の出力として得られる。

【0071】従って、DMAモードにおいて結果的に出力されるアドレスは、スタートアドレスに信号IORD・IOWRのパルス毎にある整数の倍数を加算したアドレスとなる。これは、上述した図9に示すように画像データはリニアアドレス方向に対して点順次に格納されているため、例えばRデータのみを所望する線順次転送の場合、スタートアドレス「0」に4の倍数を加算したアドレスを発生する必要があるからである。また、スタートアドレス設定時には、フリップ・フロップ1207をリセットしておく。

【0072】また、IOWRパルスはレートマルチプライヤ1210に入力され、この出力によってIOWRパルス自身を間引くことにより、ホストコンピュータ301からの画像転送時に縮小転送も可能となる。これは、IOWRパルスを間引くことにより画像メモリ407のアドレスが更新されないためである。

【0073】以上説明したように、アドレス発生部408においてセクタ1201は、ビデオモードとCPU・DMAモードとのアドレス発生の切り替えを行うことができる。

【0074】[ホストコンピュータから画像メモリへのデータ書き込み] 次に、ホストコンピュータ301から画像メモリ407へ画像データを書き込む場合について説明する。

【0075】図3において、ホストコンピュータ301で編集処理された画像データは、インタフェースケーブル108を介し順次I/O415に転送される。転送された画像データは、メモリユニット201内では上述したDMA転送により画像メモリ407に格納される。この時、図14においてスタートアドレスレジスタ1206に設定されるスタートアドレスから、信号IORDにより順次アドレスを発生させる。

【0076】例えば、線順次の場合ならば「3」もしくは「4」毎のアドレスを発生するべくレジスタ1208の値を設定する。ここで、ホストコンピュータ301がデータXをサポートしているならば設定値を「4」とすることにより、画像メモリ407は図9に示すように画像データを格納し、データXをサポートしていない場合には設定値を「3」とすることにより、図11に示すようにデータX以外の画像データを格納する。

【0077】[画像メモリからスキャナブリンタへのデータ読み出し] 以下、画像メモリ407からスキャナブリンタ101へ画像データを読み出す場合について、詳細に説明する。

10

20

30

40

50

【0078】ホストコンピュータ301から画像メモリ407へ画像データの転送が終了すると、図14に示すセクタ1201によりカウンタ903からの信号を選択して、アドレスバスをビデオモードとする。ビデオモードにおける画像メモリ407からの画像読み出しは、書き込み時と同様に、図12に示すレジスタ901にセットするスタートアドレスからBVE、VEおよびIVCLKのタイミング制御により順次アドレスが演算され、このアドレスに従って読み出しが行なわれる。

【0079】上述した図11に示すように、ホストコンピュータ301がデータXをサポートしない場合の読み出しタイミングチャートを図15に示す。LE信号がLレベルとなる(時刻t11)と同時に、図12に示すカウンタ903、911がカウントを開始し、アドレスを発生する。この時、図15のタイミングチャートに示すように、常にデータRが余分に読み出される。同時に、2ビットのカウンタ920も動作させ、2ビットの信号γSELを発生させる。信号γSELは、図3に示すγテーブル410に入力して色毎にγテーブルを選択するためのものであり、カラーバランスの調整もしくはカラーバレットとしての機能等を可能にするものである。γSELが「0」の時はRテーブル、「1」の時はGテーブル、「2」の時はBテーブルを選択する。γSELが「3」の時は、データX発生用テーブルが選択される。データX発生用テーブルは、ホストコンピュータ301がデータXをサポートしている場合はデータスルーの設定をし、サポートしていない場合はどんな入力データに対しても一定のデータをデータXとして出力されるように設定している。従って本実施例においては、図15に示すように常にデータRを余分に読み出しておき、これをデータXに変換している。

【0080】本実施例においてホストコンピュータ301から画像データをスキナブリンタ101へ出力する場合、まず、上述したようにアドレスを演算しながらホストコンピュータ301から画像メモリ407への第1走査分のデータ転送が終了すると、画像メモリ407からスキナブリンタ101への第1走査分のデータ出力が行われる。そして、ホストコンピュータ301から第2走査分の画像データが画像メモリ407へ転送され、次いで第2走査分の画像データがスキナブリンタ101へ出力される。この処理を繰り返すことにより、ホストコンピュータ301からのスキナブリンタ101への1画像の出力が行われる。

【0081】尚、スキナブリンタ101へ画像データを出力する場合、図5の(a)に示したつなぎ処理も必要であり、以下にその処理について説明する。

【0082】図16は、スキナブリンタ101からの出力画像と、画像メモリ407に格納されている画像との関係を示す図である。図16において、ホストコンピュータ301から画像メモリ407への第1の転送によ

り、第1転送画素(第1走査分)の転送が終了すると、画像メモリ407からVE方向に132画素ずつ読み出しが行なわれる。そのうち、プリンタヘッド16により出力が行なわれるのは、画素2から画素129までの128画素である。他の画素は、図5の(a)において説明したようにつなぎ処理として処理され、出力は行われない。プリンタヘッド16の第2走査時にメモリ407から読み出される画像データの読み出し開始番地は、第1走査時の画素129に相当するが、画素132まではホストコンピュータ301から画像メモリ407へ転送済みであるため、第2転送画像のデータ転送開始番地は、画素133以降の132画素分として、出力終了した画像メモリ407の空き領域に転送を行なう。

【0083】以上説明したように、ホストコンピュータ301から画像メモリ407へ順次転送処理を行なうことによって、画像メモリ407を効率よく使用でき、同時にインタフェースケーブル108上のデータ転送回数も減らすことができる。

【0084】以上のようにして画像メモリ407より読み出された画像データは、図3に示すγテーブル410、拡大補間部411を通して所望の大きさに拡大され、黒文字処理部C416において黒文字処理が行われる。そして、FIFO406に入力され、IVCLKからVCKLへのクロックの変換が行なわれ、合成部412に入力される。この時、スキナブリンタ101のスキナ部から原稿画像データが同時に読み込まれている場合には、合成部412にて画像メモリ407に格納されている画像(メモリ画像)とスキナブリンタ101によって読み込まれた新たな画像(スキナ画像)との合成出力(リアルタイム合成出力)を得ることができる。この合成のタイミングは領域信号発生部413が発生するSELECT信号に基づいて行なわれ、各画像データを所望の位置に合成することができる。

【0085】そして合成部412から出力された画像データは、LUT部418において各バンド毎に上述したスキナブリンタ101のLUT部17と同様の処理を行い、インタフェースケーブル107を介してスキナブリンタ101へ転送される。そして、スイッチユニット7によりLUT部18へ送られ、LUT部18では上述したLUT部417と同様に、元の画像データを再現する。

【0086】以上説明したように本実施例によれば、スキナブリンタ101とメモリユニット201間において互いにその動作が保証されていない装置を接続した場合に、バンド毎のLUTによるデータ変換により、正常な画像再現が不可能になるため、不正接続の防止を行うことができる。

【0087】<第2実施例>以下、本発明に係る第2実施例について説明する。

【0088】上述した第1実施例においては、図8に示

されるようにスキャナプリンタ101とメモリユニット201間で、選択されたデータ変換テーブル(LUT)種別を表すキー信号を、通信データ線と対をなすリターン線を介して通信するという構成をとった。ここで第2実施例においては、通信データ線を介して「偽のキー信号」を送信し、通信データ線を対をなすリターン線を介して「真のキー信号」を送信するという構成をとる例について説明する。

【0089】第2実施例における装置構成は、上述した第1実施例と同様であるため説明を省略するが、各LUT部の詳細構成が第1実施例において図8に示した構成と異なる。第2実施例におけるLUT部17及びLUT部417のインタフェースケーブル107を介した詳細構成を、図17に示す。図17において、上述した図8と同様の構成については同一番号を付す。

【0090】図17において、スキャナプリンタ101のCPU19により乱数が発生され、ROM20内に予め格納されている複数のデータ変換テーブル(LUT)のうちの 하나가テーブル選択部20により選択され、次にキー信号生成部21により選択されたLUT種別を表すキー信号が生成され、真キー信号送/受信部23に供給される。また、キー信号生成部21は、上述したLUT種別を表すキー信号とは別に、偽のキー信号を生成し、偽キー信号送/受信部22に供給する。

【0091】真キー信号送/受信部23により送信される真のキー信号はスイッチ24のA端子に接続されている。スイッチ24のB端子はGNDに接続されており、スイッチ24は通常はB端子側に接続されており、LUT選択時にはA端子側に接続される。

【0092】一方、偽キー信号送/受信部22より送信される偽のキー信号は、インタフェースケーブル107の通信データ線を介してメモリユニット201に伝送され、偽キー信号送/受信部420にて受信され、キー信号解説部421へ入力される。

【0093】また、スイッチ24より送信された真のキー信号は、通信データ線と対をなすリターン線を介してメモリユニット201内のLUT部417に転送され、スイッチ422のC端子に供給される。スイッチ422のA端子は真キー信号送/受信部423が接続され、B端子はGNDに接続されており、やはり通常はB端子側、LUT選択時にはA端子側に接続される。真キー信号送/受信部423にて受信された真のキー信号は、キー信号解説部421へ入力される。

【0094】キー信号解説部421では、真のキー信号と偽のキー信号とを受け取るが、このうち真のキー信号によりスキャナプリンタ101のテーブル選択部20で選択されたLUT種別を判断し、その判断結果をテーブル選択部424に出力する。そして、テーブル選択部424においてテーブル選択部20で選択されたLUTと逆特性を持つ逆LUTがROM420より選択される。

【0095】以上説明したように第2実施例によれば、スキャナプリンタ101とメモリユニット201間におけるインターフェイスの暗号化強度を更に向上することができるため、不正接続の防止を更に徹底して行うことができる。

【0096】<第3実施例>以下、本発明に係る第3実施例について説明する。

【0097】上述した第1、第2実施例においては、不正接続により、メモリユニット201側、即ちLUT部417側で通信データ線と対をなすリターン線がGNDに接続されると、スキャナプリンタ101から選択されたLUT種別を表す(真の)キー信号を送信する場合に不図示の通信用ドライバ出力が短絡状態となり、回路電流が増大することにより、通信用ドライバの特性劣化の恐れがある。

【0098】従って第3実施例においては、リターン線への電流を制限する電流制限部を付加する構成をとる。

【0099】第3実施例における装置構成は、上述した第2実施例と同様であるため説明を省略するが、各LUT部の詳細構成が第2実施例において図17に示した構成と異なる。第3実施例におけるLUT部17及びLUT部417のインタフェースケーブル107を介した詳細構成を、図18に示す。図18において、上述した図17と同様の構成については同一番号を付す。

【0100】図18において25は電流制限部であり、上述したように真キー信号送/受信部23からリターン線に流れる電流が増大するのを防ぐ。

【0101】以上説明したように第3実施例によれば、不正接続による通信用ドライバの短絡によって、通信用ドライバの特定劣化を防ぐことができる。

【0102】<第4実施例>以下、本発明に係る第4実施例について説明する。

【0103】上述した第2実施例においては、「真のキー信号」と「偽のキー信号」とを発生させて、不正接続を防止する例について説明を行った。第4実施例においては、キー信号を「第1キー信号」と「第2キー信号」とに分割して送信する例について説明する。

【0104】第4実施例における装置構成は、上述した第1実施例と同様であるため説明を省略するが、各LUT部の詳細構成が第1実施例において図8に示した構成と異なる。第3実施例におけるLUT部17及びLUT部417のインタフェースケーブル107を介した詳細構成を、図19に示す。図19において、上述した図8と同様の構成については同一番号を付す。

【0105】図19において、スキャナプリンタ101のCPU19により乱数が発生され、ROM20内に予め格納されている複数のデータ変換テーブル(LUT)のうちの 하나가テーブル選択部20により選択され、キー信号生成部21に送られる。キー信号生成部21では、選択されたLUT種別を表すキー信号が生成される

が、第4実施例においてはこのキー信号を選択されたLUTの先頭アドレスとし、更に2つに分割する。そして、分割されたキーの一方を第1キー信号送/受信部26に、他方を第2キー信号送/受信部27に供給する。

【0106】ここで、第4実施例におけるキー分類の例を図20に示す。図20において、ROM20上の斜線で示される先頭アドレス「0E」で示される領域に選択されたLUTが格納されているのであれば、第1キー信号を「0」、第2キー信号を「E」として送信する。また、同様に先頭アドレス「39」の領域については、第1キー信号を「3」、第2キー信号を「9」として送信する。

【0107】図19において第2キー信号送/受信部27により送信される第2キー信号はスイッチ24のA端子に接続されている。スイッチ24のB端子はGNDに接続されており、スイッチ24は通常はB端子側に接続されており、LUT選択時にはA端子側に接続される。

【0108】一方、第1キー信号送/受信部26より送信される第1キー信号は、インタフェースケーブル107の通信データ線を介してメモリユニット201に伝送され、第1キー信号送/受信部426にて受信され、キー信号解読部421へ入力される。

【0109】また、スイッチ24より送信された第2キー信号は、通信データ線と対をなすリターン線を介してメモリユニット201内のLUT部417に転送され、スイッチ422のC端子に供給される。スイッチ422のA端子は第2キー信号送/受信部427が接続され、B端子はGNDに接続されており、やはり通常はB端子側、LUT選択時にはA端子側に接続される。第2キー信号送/受信部427にて受信された第2キー信号は、キー信号解読部421に入力される。

【0110】キー信号解読部421では、第1キー信号と第2キー信号とを受け取り、これらを合成してキー信号を得ることにより、スキャナブリタ101のテーブル選択部20で選択されたLUT種別を判断し、その判断結果をテーブル選択部424に出力する。そして、テーブル選択部424においてテーブル選択部20で選択されたLUTと逆特性を持つ逆LUTがROM420より選択される。

【0111】尚、第4実施例において、第1キーと第2キーとの内容が逆であってもよい。

【0112】以上説明したように第4実施例によれば、スキャナブリタ101とメモリユニット201間におけるインターフェースの暗号化強度を更に向上することができるため、不正接続の防止を更に徹底して行うことができる。

【0113】＜第5実施例＞以下、本発明に係る第5実施例について説明する。第5実施例における装置構成は上述した第4実施例と同様であるため、説明を省略する。

【0114】上述した第4実施例においては、キー信号をそのLUTの先頭アドレスを単純分割することにより、「第1キー信号」と「第2キー信号」とを送信する例について説明した。第5実施例においては、予め複数のLUTが格納されているROM20を各バンクに分割し、各バンク内のLUT番号を定めておく。そして、選択されたLUTが存在するバンク識別番号及び該バンク内のLUT番号により、キー信号を決定する。

【0115】ここで、第5実施例におけるキー分類の例を図21に示す。図21において、ROM20上の斜線で示されるバンク(1)内の「6」番目のLUTが選択された場合、第1キー信号を「6」、第2キー信号を「1」として送信する。また、同様にバンク(7)の「1」番目のLUTが選択された場合、第1キー信号を「1」、第2キー信号を「7」として送信する。

【0116】尚、第5実施例において、第1キーと第2キーとの内容が逆であってもよい。

【0117】また、スキャナブリタ101からメモリユニット201への通信時(送信時)と、その逆の通信時(受信時)とで、キー分類の方法を異ならせても良い。例えば、送信時においては、上述した第4実施例で説明した方法によりキー設定を行い、受信時には第5実施例の方法によりキー設定を行う等が考えられ、もちろんその逆でもよい。

【0118】以上説明したように第5実施例によっても、スキャナブリタ101とメモリユニット201間におけるインターフェースの暗号化強度を更に向上することができるため、不正接続の防止を更に徹底して行うことができる。

【0119】尚、上述した第1～第5実施例においては、スキャナブリタ101のブリタ部として、インクジェットブリタを例として説明を行ったが、例えば電子写真式等、どのようなブリタであっても良い。

【0120】また、上述した各実施例においては、スキャナブリタ101と、ホストコンピュータ301に接続されたメモリユニット201とのインタフェースについて説明を行ったが、メモリユニット201は、例えばホストコンピュータ301に含まれるような構成としてもよいし、ホストコンピュータ301に接続されずに、メモリユニット201単体で画像処理可能な構成としてもよい。

【0121】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明はシステム或は装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0122】

【発明の効果】以上説明したように本発明によれば、画像入力装置と画像処理装置と画像出力装置からなる画像処理システムにおいて、互いにその動作が保証されてい

ない装置を接続した場合に、バンド毎のデータ変換テーブルによるデータ変換により、正常な画像再現が不可能になるため、不正接続の防止を行うことができる。

【0123】従って、画像処理システムの本来の特性が十分に発揮されるばかりでなく、予測不可能な事故等の発生を防ぐことができる。

【0124】

【図面の簡単な説明】

【図1】本発明に係る一実施例における画像処理システムの概略構成を示す図である。

【図2】本実施例におけるスキャナプリンタの詳細構成を示すブロック図である。

【図3】本実施例におけるメモリユニットの詳細構成を示すブロック図である。

【図4】本実施例におけるCCDラインセンサの走査を説明するための図である。

【図5】本実施例における原稿読み取り幅と出力幅との関係を示す図である。

【図6】本実施例における原稿読み取り時のタイミングチャートである。

【図7】本実施例におけるデータXの各ビット内容を示す図である。

【図8】本実施例におけるスキャナプリンタとメモリユニット間の通信処理のための構成を示すブロック図である。

【図9】本実施例においてデータXをサポートする場合の画像メモリ内容を示す図である。

【図10】本実施例におけるアドレス発生部動作を示すタイミングチャートである。

【図11】本実施例においてデータXをサポートしない場合の画像メモリ内容を示す図である。

【図12】本実施例におけるビデオモード時のアドレス発生部の詳細構成を示す図である。

【図13】本実施例におけるビデオモード時のアドレス発生部のタイミングチャートである。

＊【図14】本実施例におけるCPU・DMAモード時のアドレス発生部の詳細構成を示す図である。

【図15】本実施例におけるCPU・DMAモード時のアドレス発生部のタイミングチャートである。

【図16】本実施例におけるプリンタ部への画像出力を説明するための図である。

【図17】本発明にかかる第2実施例におけるスキャナプリンタとメモリユニット間の通信処理のための構成を示すブロック図である。

10 【図18】本発明にかかる第3実施例におけるスキャナプリンタとメモリユニット間の通信処理のための構成を示すブロック図である。

【図19】本発明にかかる第4実施例におけるスキャナプリンタとメモリユニット間の通信処理のための構成を示すブロック図である。

【図20】本発明にかかる第4実施例におけるキー分類の様子を示す図である。

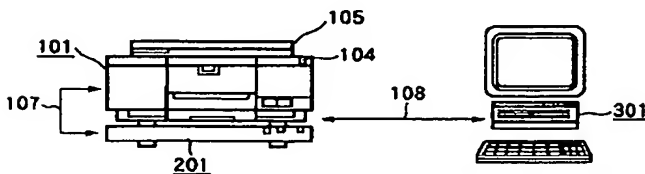
【図21】本発明にかかる第5実施例におけるキー分類の様子を示す図である。

20 【符号の説明】

- 101 スキャナプリンタ
- 107 インターフェイスケابل
- 201 メモリユニット
- 301 ホストコンピュータ
- 1 CCDラインセンサ
- 16 プリンタヘッド
- 17, 18, 417, 418 LUT部
- 20, 424 テーブル選択部
- 21 キー信号生成部
- 421 キー信号解読部
- 23, 423 キー信号送/受信部
- 24, 424 スイッチ
- 407 画像メモリ
- 408 アドレス発生部

＊

【図1】

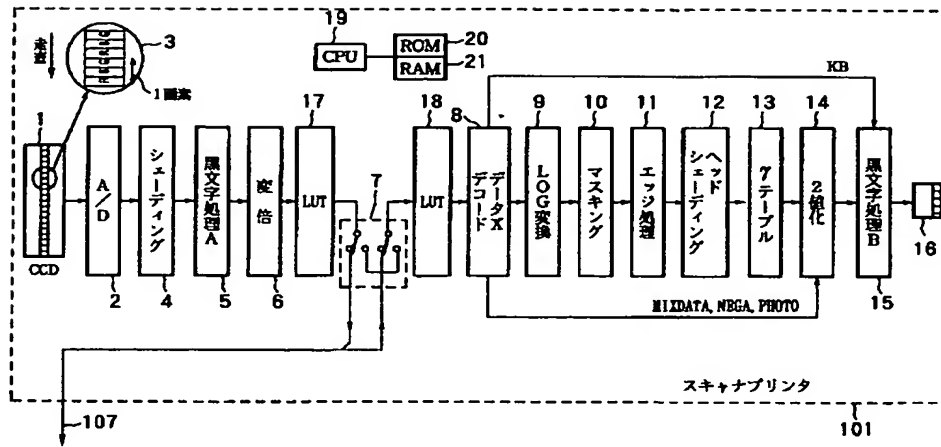


【図7】

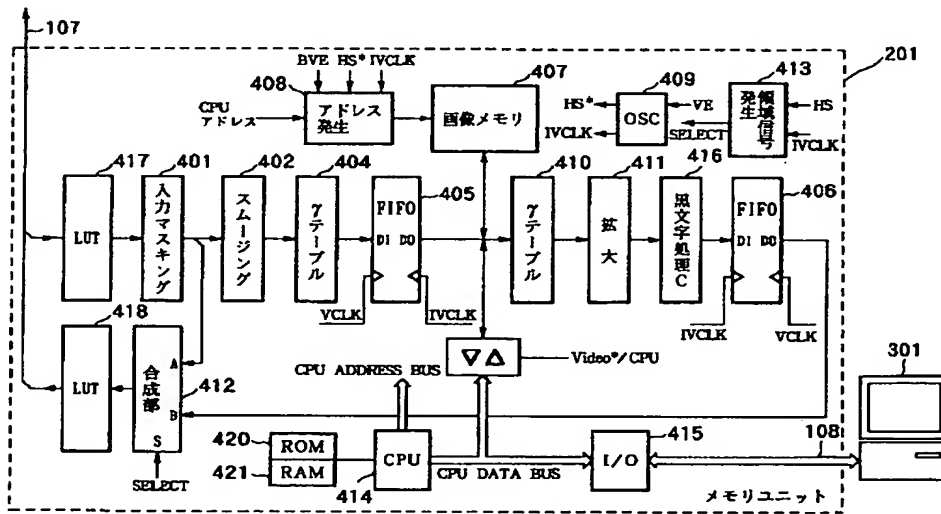
データX

ビット	内 容	制御信号
7	0: プリント印字 1: プリント印字しない	MIX DATA
6	保留	
5	保留	
4	0: データ反転しない 1: データ反転する	NEGA
3	0: エッジ強調する 1: スムージングする	PHOTO
2	保留	
1	保留	
0	0: 漢文字処理しない 1: 漢文字処理する	KB

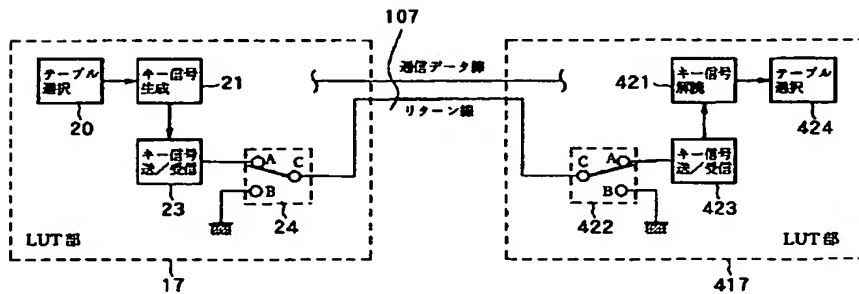
【図2】



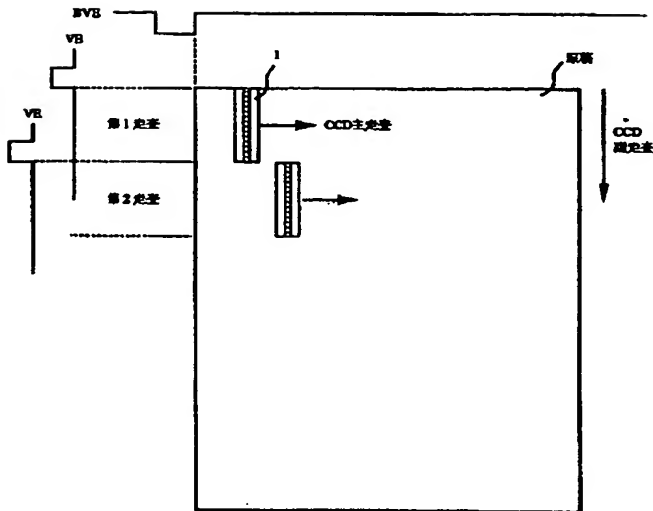
【図3】



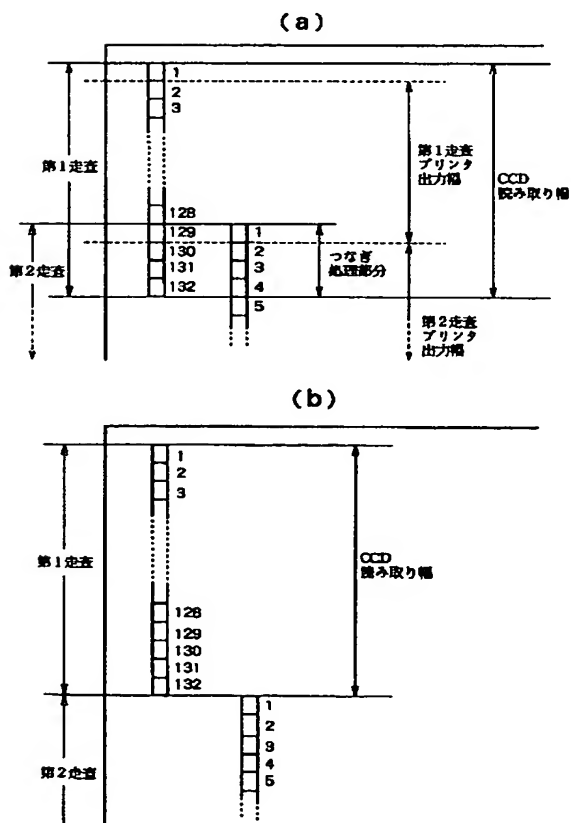
【図8】



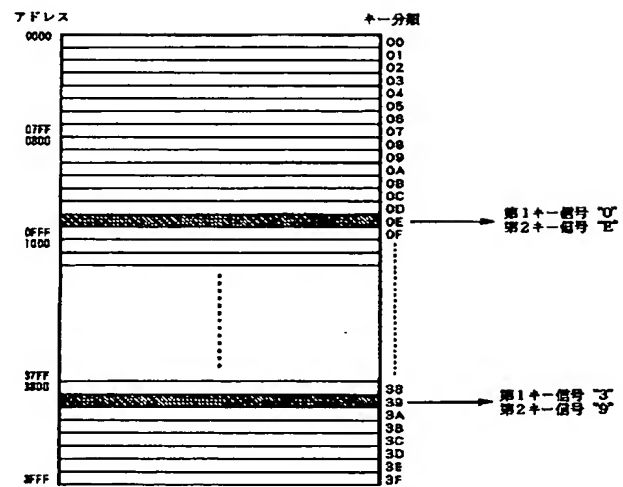
【図4】



【図5】



【図20】



(a) Timing diagram for the proposed system. It shows three signals: BVE, VE, and 画像データ (Image Data). BVE is a high-level signal with a single pulse. VE is a periodic clock signal. 画像データ is shown as four horizontal bars, each spanning one full cycle of the VE signal.

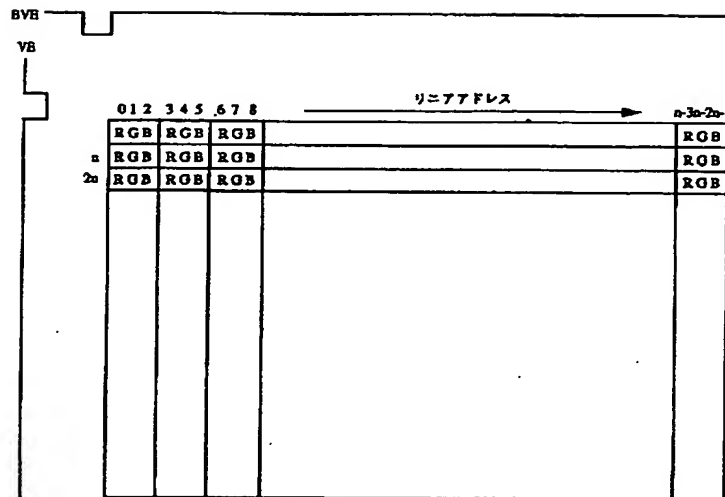
(b) Timing diagram for the first comparative example. It shows three signals: VE, 画像データ (Image Data), and VCLK. VE is a periodic clock signal. 画像データ is shown as a sequence of six color-coded blocks (R, G, B, R, G, B) spanning two full cycles of the VE signal. VCLK is a high-frequency clock signal.

(c) Timing diagram for the second comparative example. It shows three signals: VE, 画像データ (Image Data), and VCLK. VE is a periodic clock signal. 画像データ is shown as a sequence of six color-coded blocks (R, G, B, X, R, G) spanning two full cycles of the VE signal. VCLK is a high-frequency clock signal.

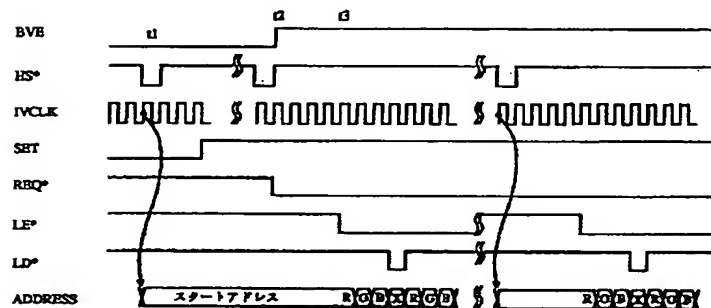
Diagram illustrating a 32-bit linear address structure. The address is divided into four 8-bit segments. The first segment is labeled '01234567891011' and 'リニアアドレス' (Linear Address). The second segment is labeled 'm' and '1m'. The third segment is labeled '2m'. The fourth segment is labeled 'n-4m-3m-2m-1'. Each segment contains the text 'RGBX'.

Timing diagram for the 405 RD and 405 WR operations. The diagram shows signals EWE, VB, FIFO 405 WEデータ, VCLK, FIFO 405 RD*, FIFO 405 RDデータ, IVCLK, アドレスA, and アドレスB. The data sequences for RD and WR are shown in boxes, with RD data being 0-7 and RD* data being 0-7. The address sequences are 0-7 and 0-7. The diagram is divided into two sections by a break symbol.

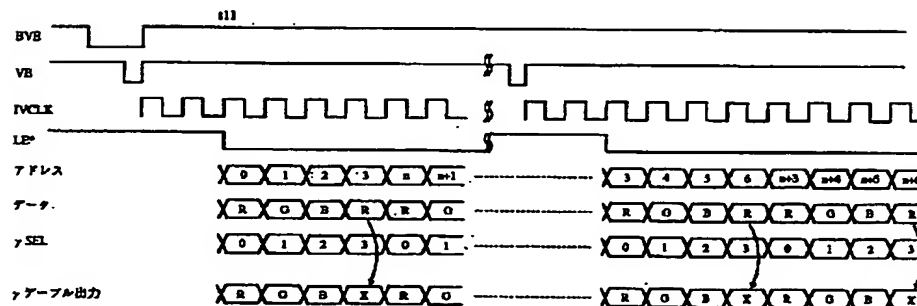
【図11】



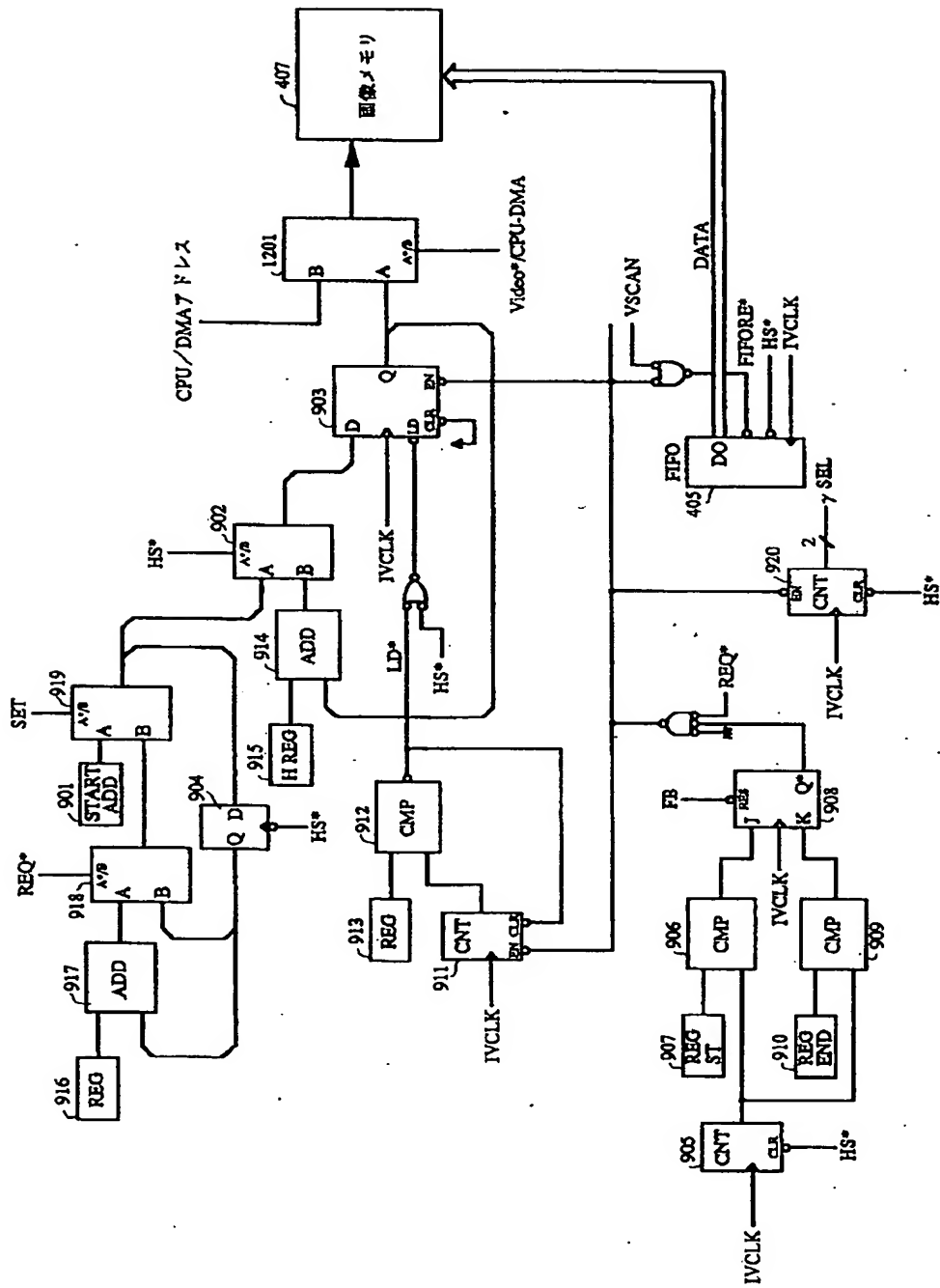
【図13】



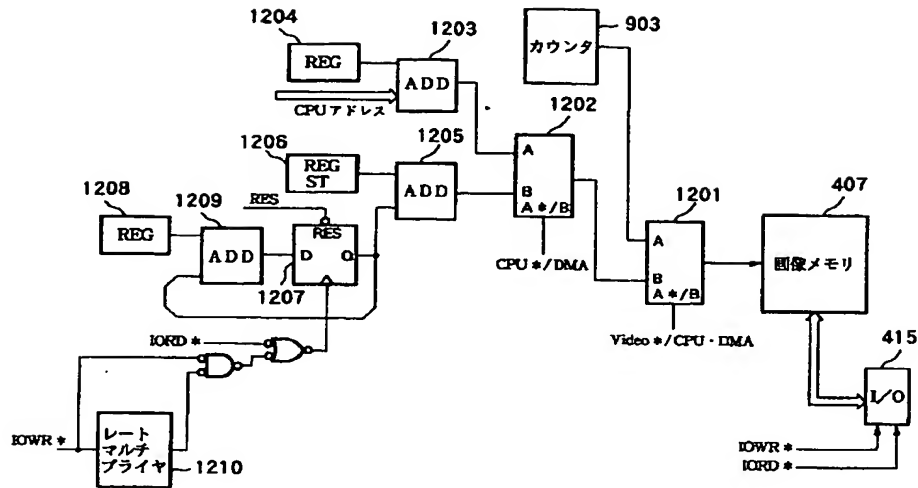
【図15】



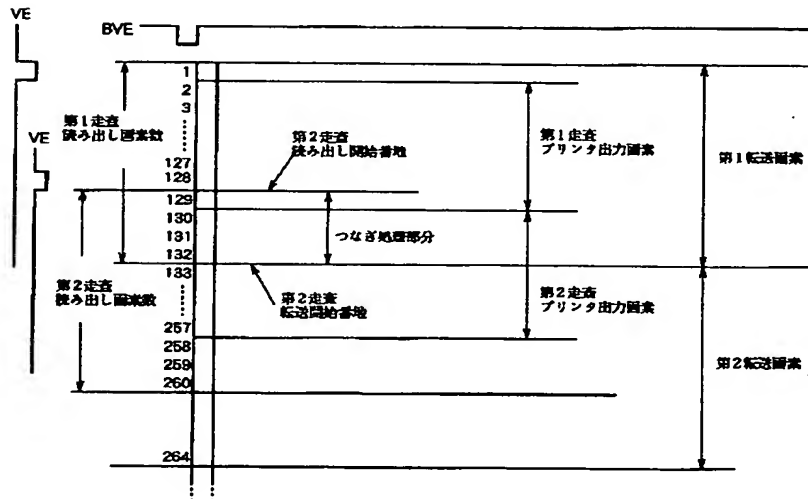
【図12】



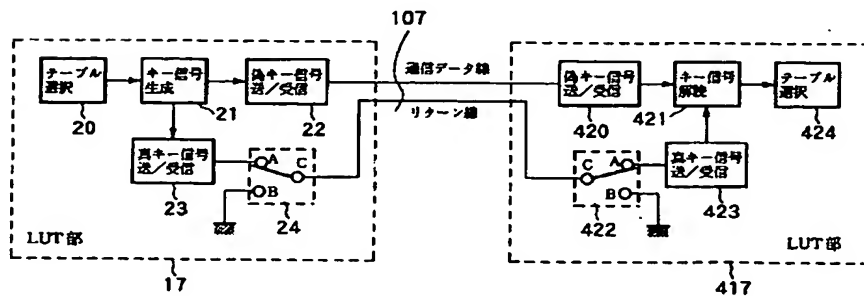
【図14】



【図16】



【図17】



107

